

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-346131

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 G 3/10

H 0 3 G 3/10

A

H 0 3 F 3/193

H 0 3 F 3/193

審査請求 未請求 請求項の数5 F D (全 8 頁)

(21) 出願番号 特願平10-166346

(22) 出願日 平成10年(1998) 5 月29日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町 3 番10号

(72) 発明者 安藤 均

埼玉県上福岡市福岡二丁目 1 番 1 号 新日

本無線株式会社川越製作所内

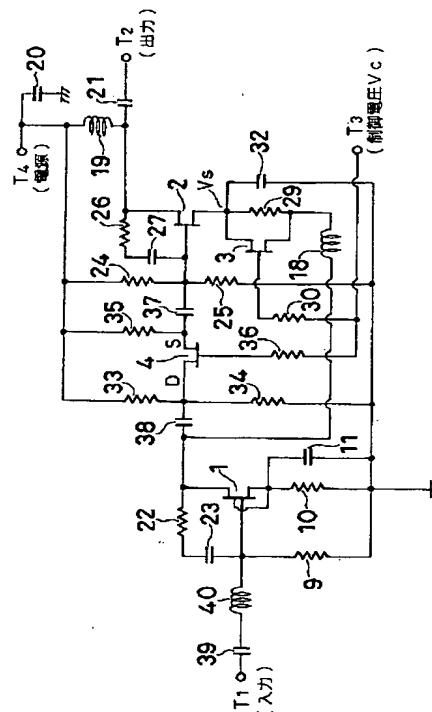
(74) 代理人 弁理士 緒方 保人

(54) 【発明の名称】 高周波利得可変増幅回路

(57) 【要約】

【課題】 低消費電流で動作させ、また可変利得時でも入出力反射特性の劣化が小さくなり、可変利得幅を広げた場合でも安定した動作を確保する。

【解決手段】 入力端子T1側の第1のFET1と出力端子T2側の第2のFET2を電源端子T3から接地電位を見て、この電源電流を直列に共有するように接続し、低電流での動作を可能とする。また、上記第1と第2のFET1、2間に、可変抵抗機能を持たせた第3のFET3及び抵抗29を配置し、かつこの第2のFET2のソース・接地電位間に高周波の接地のための容量32を接続する。これにより、利得可変時の出力反射性の劣化を抑制する。更に、信号減衰器の機能を有する第4のFET4をバイアス抵抗33～35と共に設け、総合利得可変特性の傾斜の直線性を改善する。



1

【特許請求の範囲】

【請求項 1】 高周波信号をゲート電極に入力する第 1 のトランジスタと、当該高周波信号をドレイン電極から出力する第 2 のトランジスタと、上記第 1 のトランジスタのドレイン電極と上記第 2 のトランジスタのソース電極との間に接続され、上記電極間の高周波的なアイソレーションを大きくするためのインダクタ素子又は抵抗素子と、上記第 2 のトランジスタのソース電極での高周波的なインピーダンスを低くする容量素子と、を含み、上記第 1 及び第 2 のトランジスタが電源からの電流を直列に共有する構成とし、

上記第 2 のトランジスタの高周波的な出力インピーダンスを変えずに上記第 1 及び第 2 のトランジスタで得られる利得を変化させる可変抵抗素子として、第 3 のトランジスタ及びこの第 3 のトランジスタのドレイン・ソース電極間に配置した抵抗素子を、上記第 1 と第 2 のトランジスタ間の上記インダクタ素子又は抵抗素子に対し直列に接続したことを特徴とする高周波利得可変増幅回路。

【請求項 2】 上記第 1 のトランジスタのドレイン電極と上記第 2 のトランジスタのゲート電極の間に接続され、信号減衰器として動作する第 4 のトランジスタを設け、上記第 1 及び第 2 のトランジスタから得られる利得を可変する上記第 3 のトランジスタのゲート電極に印加される利得可変制御電圧を、上記第 4 のトランジスタのゲート電極にも接続し、

上記第 4 のトランジスタのドレイン電極と上記電源の間、この第 4 のトランジスタのドレイン電極と接地電位の間、上記第 4 のトランジスタのソース電極と上記電源又は接地電位の間、上記第 3 のトランジスタによる利得可変特性を加味した上記第 4 のトランジスタによる信号減衰特性の利得可変制御電圧に対する総合利得可変特性の傾斜の直線性を補正するためのバイアス抵抗素子を接続したことを特徴とする上記請求項 1 記載の高周波利得可変増幅回路。

【請求項 3】 上記第 4 のトランジスタのソース電極側に配置した上記バイアス抵抗素子は、上記第 2 のトランジスタのゲート電極のバイアス抵抗も兼ねるように構成したことを特徴とする上記請求項 1 又は 2 記載の高周波利得可変増幅回路。

【請求項 4】 上記第 1 のトランジスタ及び第 2 のトランジスタのそれぞれのドレイン・ゲート電極間に直列に抵抗素子及び容量素子を接続し、上記第 1 のトランジスタ及び第 2 のトランジスタを広帯域増幅器として構成し、

上記入力端子と上記第 1 のトランジスタのゲート電極の間に、この入力端子から見て特定の周波数における入力反射特性を補正するためのインダクタ素子を接続したことを特徴とする上記請求項 1 乃至 3 記載の高周波利得可変増幅回路。

【請求項 5】 上記構成の利得可変増幅回路を集積回路

2

として形成したことを特徴とする上記請求項 1 乃至 4 記載の高周波利得可変増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高周波利得可変増幅回路、特に超短波から準マイクロ波等の信号を対象とした利得可変機能を持つ増幅回路の構成に関する。

【0002】

【従来の技術】従来から、超短波から準マイクロ波等の信号を扱う通信装置等において、高周波信号の利得を可変制御する増幅回路が用いられており、この種の増幅回路としては、例えば図 8 に示されるものがある。図 8 において、高周波信号を印加する入力端子 T1 には、デュアルゲート構造の第 1 の電界効果トランジスタ（以下 FET とする）1 が入力整合回路 6 を介して接続され、増幅処理を施した高周波信号を出力する出力端子 T2 には、利得可変時に上記第 1 の FET 1 の出力反射特性の劣化を後段に影響させないようにするために、第 2 の FET 2 が入力整合回路 7 を介して接続される。

【0003】上記第 1 の FET 1 にはその動作を確保するために、図示の位置に抵抗素子（以下抵抗とする）9、10 及び容量素子（以下容量とする）11、他方の FET 2 には抵抗 12、13 及び容量 14 が配置されており、この容量 11、14 は各 FET 1、2 のソース電極（以下ソースとする）を高周波的に接地する役目をする。また、第 1 の FET 1 ドレイン（以下ドレインとする）と第 2 の FET 2 のゲート電極（以下ゲートとする）の間には、DC カットとインピーダンス整合のために、容量 15 が接続される。

【0004】そして、上記のデュアル構造の第 1 の FET 1 の第 2 ゲートに、抵抗 16 を介して利得制御電圧を与えるための端子 T3 が配置され、この利得制御電圧に基づいて第 2 の FET 2 から出力される信号の利得が制御される。また、これら第 1 の FET 1 及び第 2 の FET 2 のドレインと電源端子 T4 との間に、インダクタ 18 及び 19 が配置され、これらのインダクタ 18、19 により、各 FET 1 と 2 のドレイン間の高周波的なアイソレーションが高くなる。なお、上記電源端子 T4 は容量 20 を介して高周波的に接地される。

【0005】このような構成の利得可変増幅回路によれば、第 2 の FET 2 により第 1 の FET 1 の出力反射特性の劣化を後段に影響させない形で、所定の利得範囲での安定な動作を実現することができる。即ち、上記第 2 の FET 2 を使用しない場合は、上記第 1 の FET 1 の第 2 ゲート電極に利得制御電圧を印加して利得を変化させると、第 1 の FET 1 の出力反射特性の変化が大きいため、第 1 の FET 1 の後段に接続するフィルタや増幅器に影響を与え、通信装置系等の特性の悪化や不安定な動作を招くことになる。

【0006】

3

【発明が解決しようとする課題】しかしながら、上記図8のような従来の回路では、付加した上記第2のFET2を動作させるための新たな電流が必要になり、低消費電流動作を実現できないという問題があった。

【0007】また、上記第2のFET2を配置した場合でも、増幅利得を変化させる場合に出力反射特性の劣化を十分に抑えることができず、しかも広帯域で動作させると、特定の周波数で入力反射特性の劣化が生じるという不具合もある。更には、上記利得の変幅を広くする回路構成にすると、総合利得可変特性の傾斜の直線性等を考慮した安定な動作が確保し難くなるという問題もある。

【0008】本発明は上記問題点に鑑みてなされたものであり、その目的は、低消費電流で動作させることができ、利得を変化させても入出力反射特性の劣化が小さくなり、かつ可変利得幅を広くする場合でも安定した動作が確保できる高周波利得可変増幅回路構造を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、高周波信号をゲート電極にする第1のトランジスタと、当該高周波信号をドレイン電極から出力する第2のトランジスタと、上記第1のトランジスタのドレイン電極と上記第2のトランジスタのソース電極との間に接続され、上記電極間の高周波的なアイソレーションを大きくするためのインダクタ素子又は抵抗素子と、上記第2のトランジスタのソース電極での高周波的なインピーダンスを低くする容量素子と、を含み、上記第1及び第2のトランジスタが電源からの電流を直列に共有する構成とした高周波利得可変増幅回路であって、上記第2のトランジスタの高周波的な出力インピーダンスを変えずに上記第1及び第2のトランジスタで得られる利得を変化させる可変抵抗素子として、第3のトランジスタ及びこの第3のトランジスタのドレイン・ソース電極間に配置した抵抗素子を、上記第1と第2のトランジスタ間の上記インダクタ素子又は抵抗素子に対し直列に接続したことを特徴とする。請求項2記載の発明は、上記第1のトランジスタのドレイン電極と上記第2のトランジスタのゲート電極の間に接続され、信号減衰器として動作する第4のトランジスタを設け、上記第1及び第2のトランジスタから得られる利得を可変する上記第3のトランジスタのゲート電極に印加される利得可変制御電圧を、上記第4のトランジスタのゲート電極にも接続し、上記第4のトランジスタのドレイン電極と上記電源の間、この第4のトランジスタのドレイン電極と接地電位の間、上記第4のトランジスタのソース電極と上記電源又は接地電位の間、上記第3のトランジスタによる利得可変特性を加味した上記第4のトランジスタによる信号減衰特性の利得可変制御電圧に対する総合利得可変特性の傾斜の直線性を補正するため

4

のバイアス抵抗素子を接続したことを特徴とする。

【0010】請求項3記載の発明は、上記第4のトランジスタのソース電極側に配置した上記バイアス抵抗素子を、上記第2のトランジスタのゲート電極のバイアス抵抗も兼ねるように構成したことを特徴とする。請求項4記載の発明は、上記第1のトランジスタ及び第2のトランジスタのそれぞれのドレイン・ゲート電極間に直列に抵抗素子及び容量素子を接続し、上記第1のトランジスタ及び第2のトランジスタを広帯域増幅器として構成し、上記入力端子と上記第1のトランジスタのゲート電極の間に、この入力端子から見て特定の周波数における入力反射特性を補正するためのインダクタ素子を接続したことを特徴とする。請求項5記載の発明は、上記構成の利得可変増幅回路を集積回路として形成したことを特徴とする。

【0011】上記請求項1の構成によれば、第1及び第2のトランジスタが従来のように電源電流を並列ではなく直列に共有することになるので、低電流で動作させることができる。また、可変抵抗機能を持つ第3のトランジスタ及び抵抗素子により、利得可変制御が実行され、かつ容量素子により第2のトランジスタのソースが高周波的に接地されるので、利得可変時の出力反射性の劣化を良好に抑制することができる。

【0012】上記請求項2の構成によれば、第4のトランジスタを信号減衰器として機能させることにより、利得可変幅を大きくすることができ、バイアス抵抗素子の値を適宜選択することにより総合利得可変特性の傾斜の直線性を改善することができる。上記請求項3の構成によれば、第4のトランジスタのソース電極側のバイアス抵抗素子と第2のトランジスタのゲート電極のバイアス抵抗素子を共用したので、抵抗素子の数が減ると共に、これらトランジスタ間に配置していたDCカットの容量素子も不要となる。

【0013】上記請求項4の構成によれば、広帯域利得可変増幅回路となるが、この場合の特定周波数の入力反射特性の補正が行われるので、広帯域で利得可変させる動作において入力反射特性の劣化を小さく維持することができる。上記請求項5の構成によれば、集積回路化しない場合に比べて端子数を減らすことができる。

【0014】

【発明の実施の形態】図1には、実施形態の第1例に係る高周波利得可変増幅回路の構成が示されており、図1において、高周波信号の入力端子T1と当該高周波信号の出力端子T2との間に、デュアル構造の第1のFET1、出力反射特性を改善するための第2のFET2、可変抵抗機能（詳細は後述）を担う第3のFET3が配置されるが、これらのFET1～3は電源に対して直列に配置される。即ち、電源端子T4とグランド（GND）との間に、図示されるように第2のFET2のドレイン電極（以下ドレインとする）→そのソース電極（以下ソ

ースとする)→第3のFET3のドレイン→そのソース→第1のFET1のドレイン(容量38でDCカットされる)→そのソースの順に接続される。これにより、これらのFET1~3は電源電流を直接に共有することになる。

【0015】上記第1のFET1は、自己バイアス方式の増幅器であり、そのソースは抵抗10により自己バイアスされ、ゲート電極(以下ゲートとする)は抵抗9により接地電位にバイアスされる。この第1のFET1のソースは、容量11によって高周波的なインピーダンスが下げられており、このソースと接地電位との間のインピーダンスが高周波的に影響を与えないようになっている。そして、このFET1の第2ゲートはそのソースへ短絡させる。また、この第1のFET1のドレイン・ゲート電極間に直列に、抵抗22及び容量23が接続され、これによって負帰還を構成して当該FET1を広帯域増幅器として動作させている。

【0016】上記第2のFET2は、固定バイアス方式の増幅器であり、そのゲートは抵抗24と抵抗25で電源電圧を分割した電圧にバイアスされ、この第2のFET2においても、そのドレイン・ゲート電極間に直列に配置した抵抗26及び容量27によって負帰還を構成し、広帯域増幅器として動作させる。

【0017】そして、この第2のFET2のソースと上記第1のFET1のドレインとの間に、この両者間の高周波的なアイソレーションを高くするためのインダクタ18(このインダクタの代りに抵抗を配置する場合もある)が配置されるが、このインダクタ18と第2のFET2のソースとの間に、利得可変時の可変抵抗機能を果たすため、上記第3のFET3と抵抗29(これは第3のFET3のドレイン・ソース電極間に配置)を並列に接続する。この第3のFET3のゲートに、抵抗30を介して利得可変制御電圧端子T3が配置される。この可変抵抗機能によれば、ここで発生する電圧降下を利用し、上記第1のFET1のドレインにかかる電圧を変えることによって、上記第1のFET1の利得を変化させることができる。

【0018】また、この第2のFET2のソース電極は容量32で高周波的にGNDへ接地しており、このソース電極での直流電圧が利得可変時に変化しなければ増幅器の特性は大きく変わらないため、利得可変時の当該第2のFET2の出力反射特性の劣化は小さくなる。

【0019】更に、上記の第1のFET1と第2のFET2の間に、第4のFET4を接続し、これをFET1, 2から構成される広帯域増幅器の段間における高周波減衰器として動作させている。即ち、この第4のFET4のドレインのバイアス電圧として、抵抗33と抵抗34で電源電圧を分圧した電圧を設定し、この第4のFET4のソースのバイアス電圧は、抵抗35で電源電圧にプルアップされる。そして、この第4のFET4のゲ

ートは抵抗36を介して上述した制御電圧端子T3に接続される。

【0020】この高周波減衰器としての第4のFET4は、減衰特性が最小のとき、当該FET4のドレイン・ソース間が導通状態となり、このとき、上記第4のFET4のドレインとソースには、上記抵抗33と抵抗35の並列合成抵抗と上記抵抗34で電源電圧を分圧したバイアスがかかる。そして、これらの抵抗値で第4のFET4のドレインとソースに異なるバイアスを印加することにより、減衰特性の傾斜を調整し、第3のFET3が持つ利得可変特性を含んだ形での上記第4のFET4による信号減衰特性の利得可変制御電圧に対する総合利得可変特性の傾斜の直線性を改善することができる。

【0021】また、図示されるように、上記第2のFET2のゲートと第4のFET4のソースとの間には、DC(直流)カットをするための容量37が配置され、この第4のFET4のドレインと第1のFET1のドレインとの間にも、DCカット用の容量38が設けられる。更に、上記入力端子T1と第1のFET1のゲートとの間には、容量39を介して、入力反射特性を改善するためのインダクタ40が接続されており、詳細は後述するが、このインダクタ40によって、広帯域で利得可変をする増幅器において特定周波数の入力反射特性の向上を図ることができる。

【0022】このような第1例の構成によれば、上述したように、第1のFET1~第3のFET3が電源電流を直列に共有することになるので、低電流で動作させることができる。また、第2のFET2のソースとインダクタ18との間に、可変抵抗機能を持つ第3のFET3及び抵抗29を配置したので、従来のように第1のFET1の第2ゲートに制御電圧を与えるのではなく、第1のFET1と第2のFET2の間の可変抵抗機能で利得可変制御を行うことができる。

【0023】即ち、上記端子T3に印加される利得可変制御電圧 V_c は、抵抗30を介して上記第3のFET3のゲートに与えられ、この制御電圧 V_c が上記第2のFET2のソース電圧 V_s より高い程、可変抵抗部分の抵抗値は小さくなり、上記第1のFET1の利得は大きくなる。一方、当該利得可変制御電圧 V_c が上記第2のFET2のソース電圧 V_s より低い程、可変抵抗部分の抵抗値は大きくなり、上記第1のFET1の利得は小さくなる。そして、このような利得可変制御において、上記の第2のFET2のソースが容量32によって高周波的に接地されるので、このソース電極の電圧は変化せず、出力反射特性の劣化が小さくなる。

【0024】図4には、利得を変化させた場合の上記第2のFET2のソース電圧、第1のFET1のドレイン電圧及びソース電圧の変化が示されている。このグラフは、第1乃至第3のFET1~3として、ピンチオフ電圧が-1VのGaAs(ガリウム砒素)MES(Metal

Semiconductor) の電界効果トランジスタを用い、電源電圧 (V_{DD}) を3Vとし、利得可変制御電圧 (V_c) を0~3Vまで変えたときの各電圧の特性である。この図4に示されるように、第2のFET2のソース電圧は、利得が変わってもほとんど変化しておらず、第2のFET2の各電極の直流バイアスには変化がないことになり、出力反射特性の劣化が小さいことが理解される。

【0025】図5には、上記実施形態の第1例の高周波利得可変回路において、第1乃至第4のFET1~4に、上記と同様にピンチオフ電圧が-1VのGaAsMESFETを用い、電源電圧を3Vとして利得可変制御電圧 (V_c) を0~3Vまで変えたときの第4のFET4のドレイン電圧とソース電圧の特性が示されている。

【0026】図示されるように、当該第1例の第4のFET4のドレイン電圧とソース電圧は、制御電圧が1Vよりも低くなるときに、異なる電圧が印加されるように設定されており、これによって、総合利得可変特性の傾斜をほぼ直線に維持することができる。この傾斜の直線性については、他の実施形態例と比較して後述する。

【0027】図2には、実施形態の第2例の構成が示されており、この高周波利得可変増幅回路でも、上記第1例と同様に、入力端子T1と出力端子T2との間に、第1のFET1、第2のFET2及び第3のFET3が電源端子T4から接地電位を見て、電源電流を直列に共用するように接続し、この第1のFET1と第2のFET2の間には、第4のFET4を接続し、これを広帯域増幅器(第1及び第2のFET1、2で構成される)の段間における高周波減衰器として動作させる。

【0028】そして、この第2例では、上記第4のFET4のドレインのバイアス電圧が図の抵抗33で電源電圧にプルアップし、上記第4のFET4のソースのバイアス電圧が図の抵抗24と抵抗25で電源電圧を分圧した電圧で設定されるようにし、上記第2のFETのゲートのバイアス抵抗である抵抗24、25を、第4のFET4のバイアス抵抗としても用いる。

【0029】即ち、この第4のFET4のドレインとソースは同一の特性を示すので、第1例の第4のFET4のドレイン側の抵抗33、34をソース側へ、一方ソース側の抵抗35をドレイン側へ配置することが可能である。そこで、第2例は第1例の抵抗33と34を抵抗24と25で代用し、抵抗35を抵抗33で代用することにより、第2のFET2のゲートのバイアス抵抗と第4のFET4のソースのバイアス抵抗を共用することができる。この第2例によれば、抵抗素子の数を減らすことができると共に、DCカットの役目をする容量37も不要となり、部品点数の削減が図られるという利点がある。

【0030】図3には、実施形態の第3例の構成が示されており、この第3例の場合も、上述した第1のFET1乃至第4のFET4及びそれに付属する接続構成は、

第1例と同様となる。そして、この第3例では、上記第4のFETのドレインとソースに、電源電圧を抵抗42と抵抗43で分圧した電圧に対し更に抵抗44と抵抗45を介して設定された電圧が与えられる。

【0031】このような第3例によっても、一つの電源ラインに第1のFET1から第3のFET3をシリーズに接続して低電流で動作させることができ、第3のFET3及び抵抗29の可変抵抗機能と高周波的地のための容量32を設けることによって、出力反射特性の劣化を小さく維持することができるという利点がある。

【0032】図6には、上記第1例、第2例及び第3例のそれぞれの回路での周波数の利得可変特性(第1例を実線、第2例を点線、第3例を鎖線で表す)が示される。この図6は、1.5GHzの周波数についての特性であり、この図から理解されるように、全ての例で40dB以上の範囲において利得可変が可能となっている。そして、第1例と第2例の回路は、上記第3例の回路よりも利得可変特性の傾斜の直線性が改善されている。

【0033】即ち、第1例及び第2例は、第4のFET4の各電極のバイアス抵抗24、25、33~35の値を調整することにより、第3のFET3によって与えられる利得可変特性を加味した総合利得可変特性傾斜の直線性が改善されているのに対し、この第3例の場合は、第4のFET4のドレインとソースが常に同じ電圧となるので、上記第4のFET4の信号減衰特性が与えられた状態での利得可変制御電圧に対する総合利得可変特性の傾斜の直線性が補償されないためである。

【0034】更に、上記実施形態の第1例乃至第3例の高周波利得可変回路では、上述したように、入力端子T1と第1のFET1との間にインダクタ40を設けており、このインダクタ40によって、広帯域の利得可変増幅回路として構成したものを狭帯域周波数で動作させる場合に、利得可変時の特定の周波数における入力反射特性を改善することができる。

【0035】図7には、上記第1例の回路において850MHzの特定周波数につき、利得可変制御電圧で利得可変制御を実行したときの入力VSWR(電圧定在波比)特性(実線)及び出力VSWR特性(点線)と、この第1例回路から上記インダクタ40を除いたときの入力VSWR特性(鎖線)が示される。この図7によれば、実線の第1例の特性が鎖線のインダクタ40を含まない場合の特性に比べて良好になっていることが分る。

【0036】また、上記の各例の回路は集積回路化することが好ましく、これによれば端子数を少なくすることができる。即ち、従来の図8で集積回路化しない場合を考えると、インダクタ18に対する電源端子が必要で、これとGND端子を加えると、6本の端子を設けなければならない。これに対し、本発明では、各図に示されるように、入出力端子T1、T2、利得制御電圧端子T3、電源端子T4にGND端子を加えた5本となり、端子数

が減ることになる。

【0037】

【発明の効果】以上説明したように、請求項1の発明によれば、高周波利得可変増幅回路の入力側の第1トランジスタと出力側の第2トランジスタを電源端子から接地電位を見て、この電源電流を直列に共有する構成としたので、低電流での動作が可能となり、省電力化に貢献することができる。また、直列配置の第1と第2のトランジスタの間に、利得可変用の第3のトランジスタ及び抵抗素子を配置すると共に、第2のトランジスタのソース・接地電位間に高周波接地のための容量素子を接続したので、FET2上記第2のトランジスタの高周波的な出カインピーダンスを変えない状態で上記第1のトランジスタの利得を変化させ、利得可変時の出力反射性の劣化を抑制することが可能となる。

【0038】請求項2と請求項3の発明によれば、当該増幅回路の利得可変幅を大きくするために、第4のトランジスタを上記第1と第2のトランジスタの信号ラインの間に配設し、高周波信号減衰器の機能を付加すると共に、バイアス抵抗素子を設けたので、第3のトランジスタと第4のトランジスタが一つの利得可変制御電圧で連動する高周波利得可変増幅器が構成される。また、第4のトランジスタの信号減衰特性をバイアス電圧で調整することにより、第3のトランジスタによって与えられる利得可変特性を加味した、上記第4のトランジスタによる信号減衰特性の利得可変制御電圧に対する総合利得可変特性の傾斜の直線性を改善することが可能となる。

【0039】しかも、この請求項3の発明によれば、第2のトランジスタのゲート側のバイアス抵抗と、第4のトランジスタのソース側のバイアス抵抗を共用したので、バイアス抵抗及びDCカットのための容量素子が不要となり、回路素子の点数を減らすことができるという利点がある。

【0040】請求項4の発明によれば、上記第1と第2のトランジスタに負帰還回路を付加して広帯域の利得可変増幅回路とした場合で、この第1のトランジスタのゲートと入力端子の間にインダクタを配置し、所定帯域内の特定周波数における入力反射特性を良好にしたので、利得可変時の入力反射特性の劣化を改善することが可能

となる。

【0041】請求項5の発明によれば、上記請求項1乃至請求項4の増幅器を集積回路とすることにより、少ない端子で安定した動作する増幅回路が得られるという利点がある。

【図面の簡単な説明】

【図1】本発明の実施形態の第1例に係る高周波利得可変増幅回路の構成を示す図である。

【図2】実施形態の第2例に係る高周波利得可変増幅回路の構成を示す図である。

【図3】実施形態の第3例に係る高周波利得可変増幅回路の構成を示す図である。

【図4】第1例の回路において、利得可変制御電圧を変えたときの第1のFETのソース電極電圧及びドレイン電極電圧、第2のFETのソース電極電圧の特性を示すグラフである。

【図5】第1例の回路において、利得可変制御電圧を変えたときの第4のFETのドレイン電極電圧及びソース電極電圧の特性を示すグラフである。

【図6】第1例、第2例及び第3例の回路において、利得可変制御電圧を変えたときの利得特性（第1例を実線、第2例を点線、第3例を鎖線で表す）を示すグラフである。

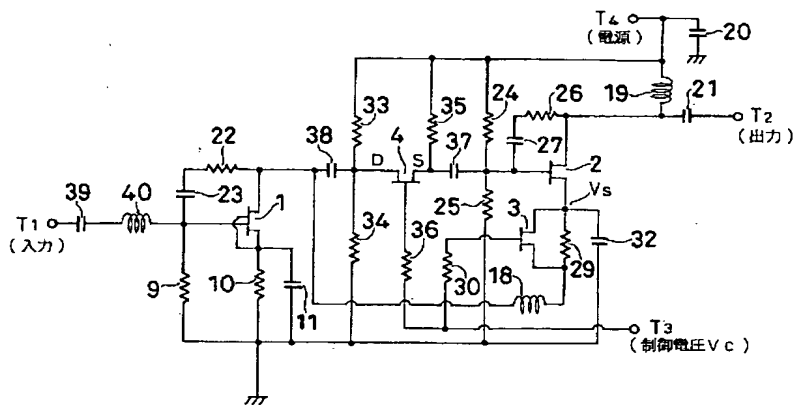
【図7】第1例の回路において、利得可変制御電圧を変えたときの入力VSWR特性（実線）及び出力VSWR特性（点線）、第1例回路からインダクタ素子を取り除いた場合の入力VSWR特性（鎖線）を示すグラフである。

【図8】従来の高周波利得可変増幅回路の構成を示す図である。

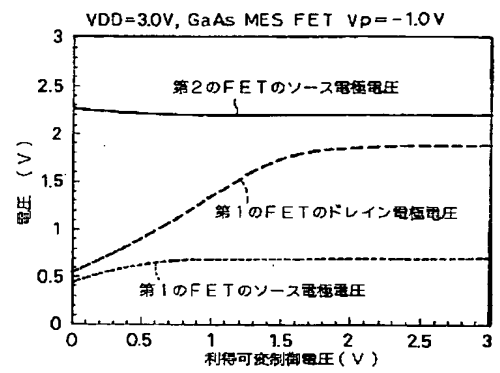
【符号の説明】

T1 … 入力端子、T2 … 出力端子、T3 … 利得可変制御電圧端子、T4 … 電源端子、1 … 第1のFET、2 … 第2のFET、3 … 第3のFET、4 … 第4のFET、6 … 入力整合回路、7 … 出力整合回路、9、10、13、16、22、24、25、26、29、30、33～36、42～45 … 抵抗素子、11、14、20、21、23、27、32、37～39 … 容量素子、18、19、40 … インダクタ素子。

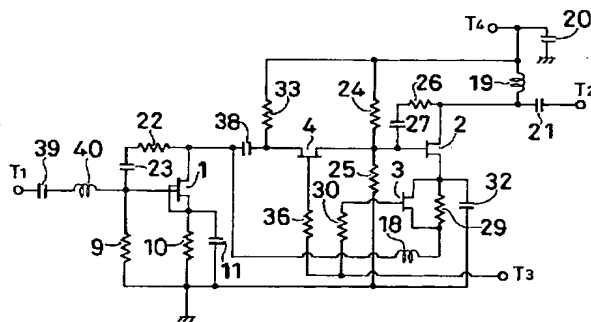
【図1】



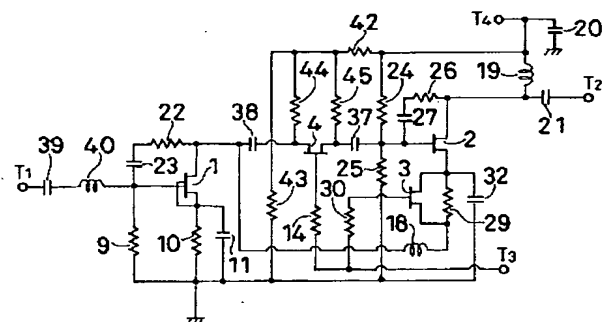
【図4】



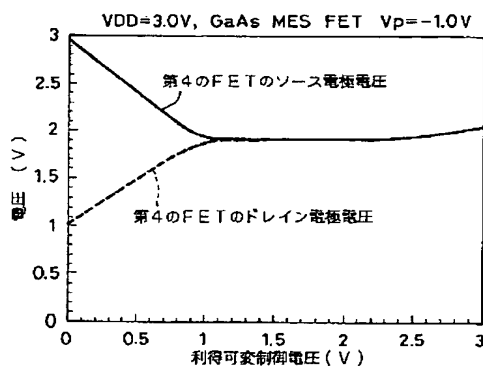
【図2】



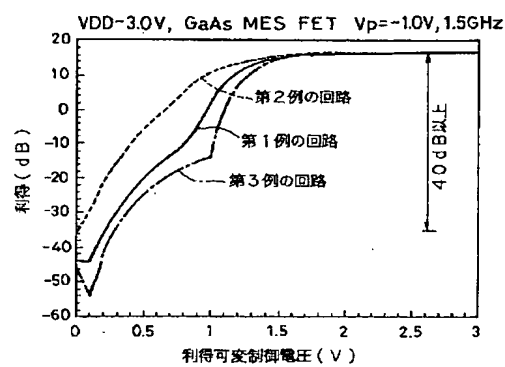
【図3】



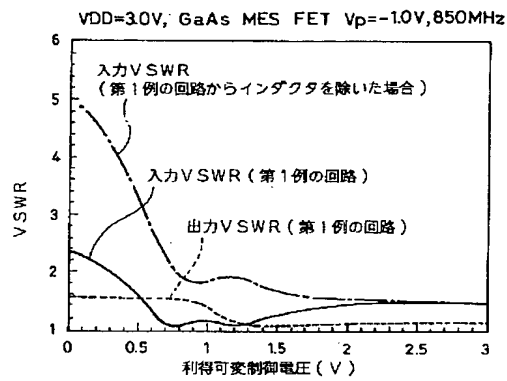
【図5】



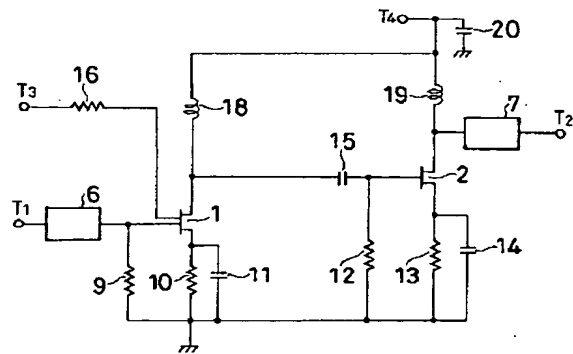
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成10年7月22日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

